

ГОУ ВПО Российско-Армянский (Славянский) университет

**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ**

Составлен в соответствии с государственными требованиями к минимуму содержания и уровню подготовки выпускников по направлению 11.03.02 Инфокоммуникационные технологии и системы связи и Положением «Об УМКД РАУ».

УТВЕРЖДАЮ:



«21» июля 2023

Утвержден Ученым Советом ИФИ
протокол № 33

Инженерно-физический институт

Кафедра Телекоммуникаций

*Автор(ы): кандидат **тех. наук Езакян Н.Д**
Ученое звание, ученая степень, Ф.И.О*

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

**Дисциплина: Б1.В.ДВ.05.01 «Цифровая схемотехника с
использованием ПЛИС»**

Код и название дисциплины согласно учебному плану

Для бакалавриата:

**Направление: 11.03.02 Инфокоммуникационные
технологии и системы связи**

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Учебная программа дисциплины «Цифровая схемотехника с использованием ПЛИС» ориентирована на подготовку кадров в области проектирования и программирования цифровых устройств, которые должны обладать знаниями и навыками в технике чтения, построения и моделирования различных электрических узлов с использованием Программируемых Логических Интегральных Схем (ПЛИС), с применением современных микросхем и программ. Актуальной практической задачей дисциплины является подготовка студентов к творческому профессиональному восприятию последующих специальных дисциплин.

1.2. Данная дисциплина теснейшим образом взаимосвязана со следующими дисциплинами: информатика, основы построения инфокоммуникационных систем и сетей, физические основы техники СВЧ, цифровая обработка данных, теория связи с подвижными объектами и с последующими УМКД магистратуры.

1.3. Для прохождения дисциплины студент должен

- **знать** основы по курсам: электроники, радиотехники, программирования, по общим курсам физики – электричество и магнетизм, электроника, теории электрических цепей.
- **уметь применять** отмеченные знания при решении соответствующих задач
- **владеть** навыками интегрального, дифференциального, векторного и матричного исчислений.

1.4. Дисциплины, изучение которых является необходимой базой для освоения данной дисциплины следующие - математика I, II, III, IV, теория вероятностей и математическая статистика, электроника, теория электрических цепей.

2. Содержание

2.1. **Цель дисциплины** - изучение принципов построения цифровых электрических схем и логических элементов, цифровая обработка сигналов, цифровая программирования ПЛИС.

Задача - обеспечение основополагающих знаний в области построения, программирования и разработки цифровых и смешанных схем с применением современного программного обеспечения, а также основ для понимания и изучения последующих дисциплин, предусмотренных в программе обучения.

2.2. После изучения дисциплины студент должен:

- **знать** основные принципы функционирования цифровых радиокомпонентов, ПЛИС программирование;
- **уметь** проектировать и программировать несложные электрические схемы;
- **иметь** понимание современных тенденций развития схмотехники;
- **владеть** навыками по использованию современного программно обеспечения для проектирования электрических схем.

2.3. Трудоемкость дисциплины: в академических часах – 180, в кредитах - 5

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	180
1.1. Аудиторные занятия, в т. ч.:	102
1.1.1. Лекции	68
1.1.2. Практические занятия, в т. ч.	34
1.1.2.1. Обсуждение прикладных проектов	-
1.1.2.2. Кейсы	-
1.1.2.3. Деловые игры, тренинги	-
1.1.2.4. Контрольные работы	-
1.1.2.5. Решение задач	18
1.1.3. Семинары	-
1.1.4. Лабораторные работы	16
1.1.5. Другие виды (указать)	-
1.2. Самостоятельная работа, в т. ч.:	42
1.2.1. Подготовка к экзаменам	
1.2.2. Другие виды самостоятельной работы, в т.ч. (указать)	
1.2.2.1. Письменные домашние задания	
1.2.2.2. Курсовые работы	
1.2.2.3. Эссе и рефераты	
1.2.2.4. Другое (указать)	
1.3. Консультации	
1.4. Другие методы и формы занятий	
Итоговый контроль (экзамен, зачет, диф. зачет - указать)	36 экзамен

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекционные занятия (ак. часов)	Практические занятия (ак. часов)	Лабораторные работы (ак. часов)
1	2	3	4	5
МОДУЛЬ 1.	54	36	9	9
Раздел 1. Введение и логические элементы	24	16	4	4
<i>Введение в ПЛИС, система счисления</i>	5	2	1	2
<i>Тема 1.1. Полупроводники, транзисторы</i>	3	2	1	-
<i>Тема 1.2 Логические элементы</i>	4	2	2	-
<i>Тема 1.3 Основные принципы Верилог</i>	2	2	-	-
<i>Тема 1.4 Триггеры</i>	6	4	-	2
<i>Тема 1.5 Типы даты, операнды и операторы Verilog HDL</i>	4	4	-	-
Раздел 2. Разные типы построения цифровых схем и базовые примеры Verilog HDL	30	20	5	5
<i>Тема 2.1 Структурные части Verilog HDL</i>	3	2	-	1
<i>Тема 2.2 Комбинационная логика, карты Карно</i>	3	2	1	-
<i>Тема 2.3 Грамматика Верилог</i>	3	2	1	-
<i>Тема 2.4 Поведенческое моделирование</i>	8	6	-	2
<i>Тема 2.5 Многовыводная комбинационная логика</i>	10	6	2	2
<i>Тема 2.6 Задержки и соревнования в комбинационной логике</i>	3	2	1	-
МОДУЛЬ 2.	54	36	9	9
Раздел 3. Основы и методы проектирования ПЛИС и программирование Верилог	54	36	9	9
<i>Тема 3.1 Неблокирующее присваивание в процедурах Верилог</i>	1	1	-	-
<i>Тема 3.2 Операторы условия и кодер, мультиплексор</i>	4	2	1	1

<i>Тема 3.3 Построения интегрированного оборудования на программируемых интегральных схемах</i>	3	2	1	-
<i>Тема 3.4 Сумматоры и вычитающие схемы</i>	3	2	1	-
<i>Тема 4.2 Выполнение конечных проектов на Quartus II</i>				
ИТОГО	108	72	18	18

2.3.3 Содержание разделов и тем дисциплины

МОДУЛЬ 1

Раздел 1. Введение и логические элементы

Введение в ПЛИС, система счисления.

История поколение ЭВМ. Система счисления и типы. Введение ПЛИС. ([1], §§1.1 – 1.5, [2], §1.2).

Тема 1.1 Полупроводники, транзисторы

Что такое полупроводник и диод. Разные типы транзисторов и классификация. Производство внутренние размеры транзисторов. Изучение ВАХ (Вольтамперные характеристики). ([3], §§1,2,5,6).

Тема 1.2 Логические элементы

Логические элементы и их параметры. ТТЛ И КМОП логика. Базовые логические элементы (И, ИЛИ, НЕТ) ([4], §§1, 2,).

Тема 1.3 Основные принципы Верилог

Комментарии и процедурные контроли Верилог, ([6], § 1.1).

Тема 1.4 Триггеры

Классификация и типы триггеров. Синхронные и асинхронные триггеры. RS, JK, D, T триггеры ([5], §§ 1.3, 4, 7, 8).

Тема 1.5 Типы даты, операнды и операторы Verilog HDL

Основные типы даты используемые языка. Операнды и операторы в программировании среде. ([6], §1.2).

Раздел 2. Разные типы построение цифровых схем и базовые примеры Verilog HDL

Тема 2.1 Структурные части Verilog HDL

Компиляция, симуляция и первое программа на Verilog **HDL** ([7], § 2.1).

Тема 2.2 Комбинационная логика, карты Карно.

Комбинационная логика и синтез этих логика. Карты Карно и построение, минимизация логики ([8], §§2.1, 2.2).

Тема 2.3 Грамматика Верилонг

Создания имя параметров, служебные слова, математические операции в Верилонг ([7], §§ 2.2, 2.4, 2.6).

Тема 2.4 Поведенческое моделирование

Типы моделей для поведения и как использовать операторы условия и цикла. ([7], § 2.7).

Тема 2.5 Многовыводная комбинационная логика

Проектирование многовыводные логик. Кодер, декодер, мультиплексор и т.д ([8], §§2.6, 2.7).

Тема 2.6 Задержки и соревнования в комбинационной логике

Задержки в комбинационной логике. Почему иногда появляется соревнование между битов и как бороться с этим ([8], §2.5).

МОДУЛЬ 2

Раздел 3. Основы и методы проектирования ПЛИС и программирование Верилонг

Тема 3.1 Неблокирующее присваивание в процедурах Верилог

Разные примеры программирования с использованием процедуры. ([7], §2.7).

Тема 3.2 Операторы условий и кодер, мультиплексоры

Кодеры, мультиплексоры и их структурные и графические схемы. Некоторые аспекты для операторов условий ([7], §2.7, [8], §2.6).

Тема 3.3 Построение интегрированного оборудования на программируемых интегральных схемах

Комбинационные схемы и их построение с использованием ПЛИС. ([8], §2.7).

Тема 3.4 Сумматоры и вычитающие схемы

Двоичные, десятичные сумматоры и вычитающие логические схемы. ([8], §§3.3-7)

Тема 3.4 Сумматоры и вычитающие схемы

МОДУЛЬ 3

Раздел 4. Основы и методы проектирования электрических схем

Тема 4.1 Принципы построения систем управления и контроля

Постановка задачи (входные, выходные сигналы, рабочие условия, габаритные требования). Методы согласования сигналов. Выбор компонентов. Проектирование. Отладка.

Тема 4.2 Программное обеспечение для автоматизированного проектирования

Обзор современных программ для автоматизированного проектирования и моделирования работы электрических схем. Программы для проектирования печатных плат. Программа PROTEUS.

2.3.4 Краткое содержание решения задач – 18 часов, и Лабораторных работ – 18 часов.

Занятия по следующим темам учебной дисциплины,

1. Диоды, схемы включения.
2. Дискретизация аналоговых сигналов с использованием Matlab Simulink.
3. Синтез дискретных сигналов.
4. Симуляция логических элементов с использованием Multisim.
5. Реальная работа ТТЛ 155 с логикой.
6. Решения задач на карты Карно
7. Минимизация логических элементов.
8. Программирование на Верилог.
9. //будет добавлено

2.4. Материально-техническое обеспечение дисциплины

- Учебные методические пособия
- Вычислительная техника
- Проектор
- Слайдоскоп
- Паяльник
- Осциллограф
- Генератор Сигналов
- Источник питания

2.5. Распределение весов по модулям и формам контроля

Формы контролей	Веса форм текущих контролей в результатах текущих контролей			Веса форм промежуточных контролей в результатах промежуточных контролей			Веса оценок промежуточных контролей и результатов текущих контролей в итоговых оценках промежуточных контролей			Веса итоговых оценок промежуточных контролей в результате промежуточных контролей	Веса результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1 ¹	M2	M3	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля											
Контрольная работа				1	1						
Тест											
Курсовая работа											
Лабораторные работы	0,5	0,5									
Письменные домашние задания											
Реферат											
Эссе											
Семинары											
Решение задач	0,5	0,5									
Веса результирующих оценок текущих контролей в итоговых оценках промежуточных контролей							0,5	0,5			
Веса оценок промежуточных контролей в итоговых оценках промежуточных контролей							0,5	0,5			
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей										0,5	
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей										0,5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей										-	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля											0,5
Экзамен/зачет (оценка итогового контроля)											(Экзамен) 0,5
	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

¹ Учебный Модуль

Рекомендуемая литература

1. Харрис, Д. М. Цифровая схемотехника и архитектура компьютера [Электронный ресурс]: [пер. с англ.] / Дэвид. М. Харрис, Сара Л. Харрис. - New York: Elsevier. inc: Изд-во Morgan Kaufman, 2013. - on-line. - ISBN = 978-0-12-394424-5.
2. U. Meyer-Baese, Digital Signal Processing with field programmable gate arrays. Springer Heidelberg New York Dordrecht London, 4th ed., 2014, 949p.
3. Կիսահաղորդչային սարքեր: Լաբորատոր աշխատանքների կատարման մեթոդական ցուցումներ / Կազմող՝ Վ.Կ. Բեգոյան; ՀԱՊՀ. - Եր.: Ճարտարագետ, 2017. – 88 էջ:
4. Ինտեգրալային տրիգերային համակարգերի ուսումնասիրումը. дипломное работа, 63 стр.
5. Գ. Վելիջանյան, ԲՈՒԼՅԱՆ ՏՐԱՄԱԲԱՆՈՒԹՅԱՆ ՏԱՐԲԵՐ, ՀԵՏԱԶՈՏԱԿԱՆ ԱՇԽԱՏԱՆՔ, 2021, էջ-20.
6. Cavanagh, J. (2017). Verilog HDL Design Examples (1st ed.). CRC Press. <https://doi.org/10.1201/b22315>.
7. Verilog-ի կիրառումը թվային համակարգերի նախագծման գործընթացում / Հ. Չուխաջյան; ՀՀ ԿԳՆ, ՀՊՃՀ. "Միկրոէլ. սի. և համակարգեր" միջֆակ. ամբիոն. Synopsys. - 2-րդ հրատ (փոփոխություններով և լրացումներով) - Երևան: Ճարտարագետ, 2014. - 248 էջ.
8. Թվային համակարգերի տրամաբանական նախագծում: Դասագիրք / Վ.Ս. Մովսիսյան ; ՀՀ ԿԳՆ, ՀՊՃՀ. "Միկրոէլ. սի. և համակարգեր" միջֆակ. ամբիոն. Synopsys. - 2-րդ հրատ. - Երևան : Ճարտարագետ, 2014. - 468 էջ.

4. Перечень экзаменационных вопросов

1. Вычислительные системы. Двоичная, десятичная, шестнадцатеричная системы. Действия, связанные с ними.
2. Технология ПЛИС и его структура.
3. Свойства логических элементов.

4. Основы языка Verilog HDL. Процедурное управление потоком.
5. Клапаны. Основные виды.
6. Регистры, типы данных и операнды
7. Типы заданий в Verilog.
8. Триггеры. Синхронный RS триггер.
9. Приведение формул логических функций. Карты Карно.
10. Структурные части Верилога.
11. D, JK триггеры.
12. Операторы.
13. Комбинационные логические схемы.
14. логические элементы.
15. Синтез логических элементов.
16. // конец первого модуля